

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 04-307974  
(43) Date of publication of application : 30. 10. 1992

(51) Int. Cl. H01L 29/788  
H01L 29/792  
H01L 27/115

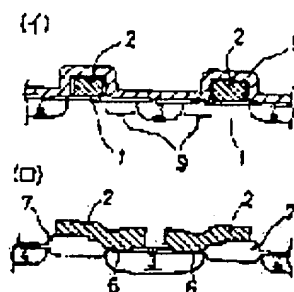
(21) Application number : 03-073239 (71) Applicant : SHARP CORP  
(22) Date of filing : 05. 04. 1991 (72) Inventor : YOSHIMI MASANORI

## (54) ELECTRICALLY ERASABLE NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

### (57) Abstract:

**PURPOSE:** To contrive an increase in the integration of the title device by a method wherein floating gates are respectively divided functionally into a write site and an erase site and in the sides of the erase sites, a tunnel oxide film is provided to constitute the erase sites without providing a source offset and in the sides of the write sites, a source offset is provided to constitute the write sites.

**CONSTITUTION:** One pair of L-shaped floating gates 2 consisting of a polysilicon film are respectively provided on gate regions between a source line 3 in the surface of a silicon substrate and one pair of drain lines 4 and 4 arranged on both sides of the line 3 via an insulating film. Moreover, control gates 5 consisting of a polysilicon film to the gates 2 are respectively provided on the gates 2 via an interlayer insulating film. In one pair of write sites, writing using an injection of electrons from the side of each drain to each gate 2 is performed. On the other hand, in the erase sites, erase using an F-N tunneling is performed en bloc from the side of a source to the gates 2 and 2.



BEST AVAILABLE COPY

### LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-307974

(43) 公開日 平成4年(1992)10月30日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
27/115				
		8225-4M	H 0 1 L 29/78	3 7 1
		8831-4M	27/10	4 3 4
			審査請求 未請求 請求項の数1(全 4 頁)	

(21) 出願番号 特願平3-73239

(22) 出願日 平成3年(1991)4月5日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 吉見 正徳

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(74) 代理人 弁理士 野村 信太郎

(54) 【発明の名称】 電気的消去可能不揮発性半導体記憶装置

(57) 【要約】

【目的】 ソースオフセットに選択ゲートを構成したE EPROMにおけるF-Nトンネリングによる消去を円滑化して、素子の縮小化を図る。

【構成】 1つのソースラインとその両側のドレインラインとで2つのE EPROMセルを構成し、各フローティングゲートの一方側をホットエレクトロンによる書き込み部位とし他方側をF-Nトンネリングによる一括消去部位として機能分離する。

BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 ソース領域とその両側に配置される一対のフレイム領域及びこれらの間で設定される一対のゲート領域、このゲート領域上に配置される一対のフレイムゲート及びこのフレイムゲート上に配置されるコンタクト領域、上配一対の各フレイムゲートが、(a) 各々ソースオフセットを介して上ゲート領域上に位置して一対のフレイム駆動書き込み部を構成する書き込み部位と、(b) 各々ソース領域に位置したトネル酸化膜上に位置して一対のソース駆動消去部を構成する消去部位、を有してなり、上記コンタクト領域及びソースオフセットを共通して覆うように配置されてなる電氣的消去可能不揮発性半導体記憶装置。

## 【発明の詳細な説明】

【0001】 産業上の利用分野】 この発明は、電氣的消去可能不揮発性半導体記憶装置 (EEPROM) に関する。さらに詳しくは、高集積化に適した EEPROM の素子構造に関する。

【0002】

【従来の技術】 従来から、電氣的消去可能不揮発性半導体記憶装置 (EEPROM) として種々の構造のものが知られており、いずれもいわゆるフレイムゲート (Fowler-Nordheim) トンネルングによる書き込み/書き込みを利用している。

【0003】 そして選択ゲート (セレクトシヨングート) を有さない、いわゆる初期のスタックゲート EEPROM M においては、フレイム側よりホットエレクトロニクスによる書き込みが行なわれ、ソース側よりフレイムによる消去が行なわれる。

【0004】 しかしながら、このようにソース側よりフレイムによる消去する構造では、しばしば過剰消去が生じてメモリセルがドライリージョニ化する欠点がある。

【0005】 このため、選択ゲートを組合せて上記過剰消去を防止することがしばしば行なわれている。

【0006】

【発明が解決しようとする課題】 しかしながら、選択ゲートを並立して設けるとメモリセルの導電面積が増加し、EEPROM の集積度が著しく低下する。

【0007】 そのため、EEPROM を構成するソースラインとフレイムゲートとの間にオフセットを設け、このオフセット部上に選択ゲートを配置することと

【0008】 しかしながら、この場合には、オフセット部の存在により、ソースとフレイムゲート間の F-N トンネルングが生じ難く、データの消去を円滑に行

(2)

特開平4-307974

2

なうことができなかった。また、この場合、フレイムとフレイムゲート間の F-N トンネルングを利用することも考えられるが、これを達成するには、フレイムに比較的高電圧を印加する必要がある。従って、必然的にリーク電流を防止すべく、フレイム接合前圧を上昇することが要求され、そのためにはフレイム接合の温度アップアイールをなだらかにする必要があるが、この場合には、ホットエレクトロンの発生効率が著しくなり、書き込み特性が低下する不都合があった。

10

【0009】 この発明は、かかる状況下なされたものであり、ことにソース駆動オフセット部に選択ゲートを構成した EEPROM においても、ソース側からの F-N トンネルングによる消去を可能とする構造を提供しようとするものである。

【0010】

【課題を解決するための手段】 かくしてこの発明によればソース領域とその両側に配置される一対のフレイムゲート領域及びこれらの間で設定される一対のゲート領域、このゲート領域上に配置される一対のフレイムゲート及びこのフレイムゲート上に配置されるコンタクト領域、上配一対の各フレイムゲートが、(a) 各々ソースオフセットを介して上記ゲート領域上に位置して一対のフレイム駆動書き込み部を構成する書き込み部位と、(b) 各々ソース領域に位置したトネル酸化膜上に位置して一対のソース駆動消去部を構成する消去部位、を有してなり、上記コンタクト領域及びソースオフセットを共通して覆うように配置され、上配一対のフレイムゲートの書き込み部位及びソースオフセット上を共通して覆うように配置されてなる電氣的消去可能不揮発性半導体記憶装置が提供される。

30

【0011】 この発明は、上記課題を解決すべく、フレイムゲートを電動的に書き込み部位と消去部位に分け、消去部位ではソースオフセットを設けることな

【0012】

【作用】 フレイム駆動書き込み部においては、ソースオフセットが確保されておりこのオフセット上のコンタクトゲートを選択ゲートとすることができ、かつホットエレクトロンの注入がオフセットを有しない各フレイム側から行なわれるため、各々円滑な書き込みが行なわれる。

40

【0013】 一方、ソース駆動消去部においてはソースオフセットを有さないため、ソース領域の両側に配置されたトネル酸化膜を介してソース側からの F-N トンネルングが行なわれ、円滑な消去が一括して行なわれることとなる。

【0014】

【実施例】 以下、添付図面に示す実施例に基づいてこの

4

10

20

**-32-**

40

50

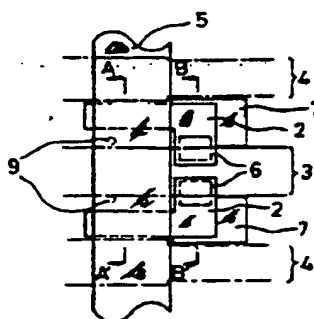
50

50

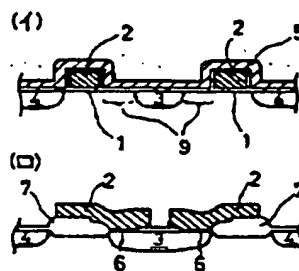
50

## 9 ソースオフセット

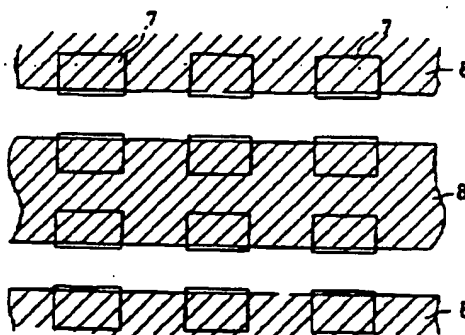
【図1】



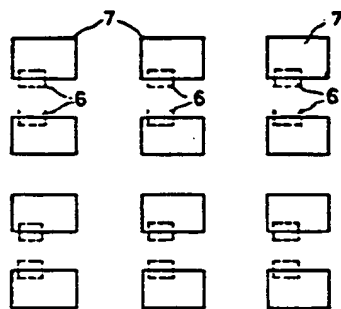
【図2】



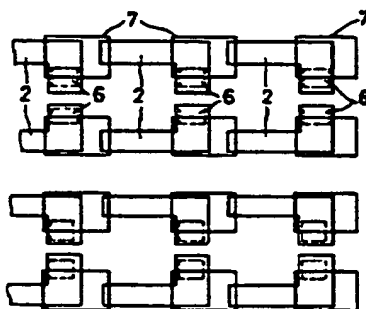
【図3】



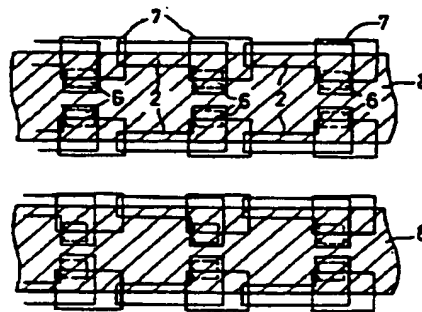
【図4】



【図5】



【図6】



【図7】

